

Technische Informatik I

- Rechnerstrukturen -

Vorlesung von
Prof. Dr. Rita Loogen
an der
Philipps-Universität Marburg
im WS 2004/05



Organisatorisches



- **Vorlesungstermine:** Di 11:15 - 13:00 HG 5, Mi 9:15 - 11:00 HG 5
- **Übungsorganisation:** Jürgen Beringer, Jost Berthold
- **Tutoren:** Helmut Neubauer, Ivo Pacák, NN
- **Scheinkriterien:**
 - erfolgreiche Bearbeitung von 50% der **Übungsaufgaben**, höchstens zwei unbearbeitete Aufgabenblätter
 - mind. 60% der Punkte aus den **Leistungskontrollen**
-> Klausurzulassung (unbenoteter Schein)
 - plus Bestehen der **Klausur** -> benoteter Schein
- **Termine:**
 - Übungsblattausgabe und -abgabe: mittwochs in bzw. vor der Vorlesung
 - Leistungskontrollen: Dienstag, 23. November 2004, Mittwoch, 5. Januar 2005
 - Klausur: Donnerstag, 3. Februar 2005, 13 - 16 Uhr, Audimax, HG

Übungen

- **Informationen** zur Vorlesung und zu den Übungen:

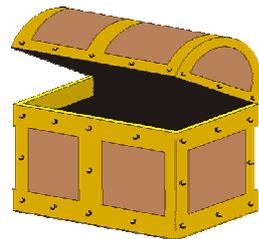
<http://www.mathematik.uni-marburg.de/~loogen/Lehre/ws04/ti1/vor04WSti1.shtml>

- **Beginn: 2. Vorlesungswoche**
- Die Abgabe der Übungsaufgaben ist in **Gruppen bis zu 2 Personen** möglich.
- **Termine:**
 - Mittwochs, 16-18 Uhr, HS I (D3), Lahnberge
 - Donnerstags, 14-16 Uhr, HS I (D3) und SR V (D5), Lahnberge
 - Donnerstags, 16-18 Uhr, SR V (D5), Lahnberge
 - Freitags, 14 – 16 Uhr

3

Inhaltsübersicht

- 0 Einleitung
- 1 **Grundkonzepte** des Rechneraufbaus
 - Teil I: Lokale Konzepte**
 - 2 **Schaltfunktionen** und ihre Darstellung
 - 3 Schaltnetze und ihre **technische Realisierung**
 - 4 **Schaltnetze** und ihre Optimierung
 - 5 Schaltwerke und **Speicherelemente**
 - 6 Datendarstellung im Rechner, **Rechnerarithmetik**
 - Teil II: Globale Konzepte**
 - 7 Aufbau und Arbeitsweise einer **CPU**
 - 8 Architektur und Maschinenbefehle eines **RISC** Prozessors
 - 9 **Assemblerprogrammierung**
 - 10 Maßnahmen zur Leistungssteigerung



Folienskript aus
WS 2002/03
im Informatik-
Sekretariat auf
D5 erhältlich

4

Literatur



W. Oberschelp, G. Vossen: Rechneraufbau und Rechnerstrukturen
Oldenbourg Verlag, 9. Auflage, 2003.

W. Schiffmann, R. Schmitz: Technische Informatik 1 bzw. 2
Springer Verlag, jeweils 4. Auflage, 2001 bzw. 2002.

**A.S. Tanenbaum, J. Goodman: Computerarchitektur –
Strukturen, Konzepte, Grundlagen**
Pearson Studium, 2001

D.A.Patterson, J.L.Hennessy: Computer Organisation & Design
The Hardware / Software Interface
Morgan Kaufmann, 1994.

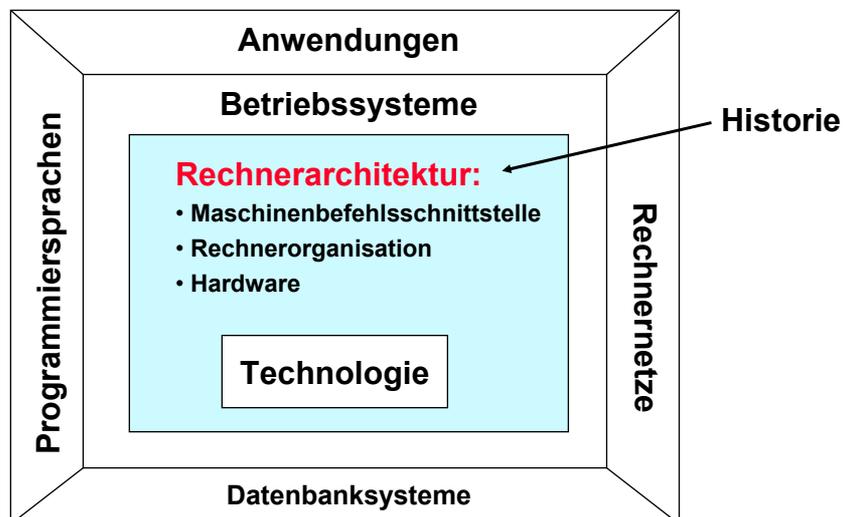
J.L.Hennessy, D.A.Patterson: Rechnerarchitektur
Analyse, Entwurf, Implementierung, Bewertung
Vieweg Verlag 1998.

W. Daniel Hillis: The Pattern on the Stone, Basic Books 1998.

H.P.Gumm, M.Sommer: Einführung in die Informatik
Oldenbourg Verlag, 6. Auflage, 2004.

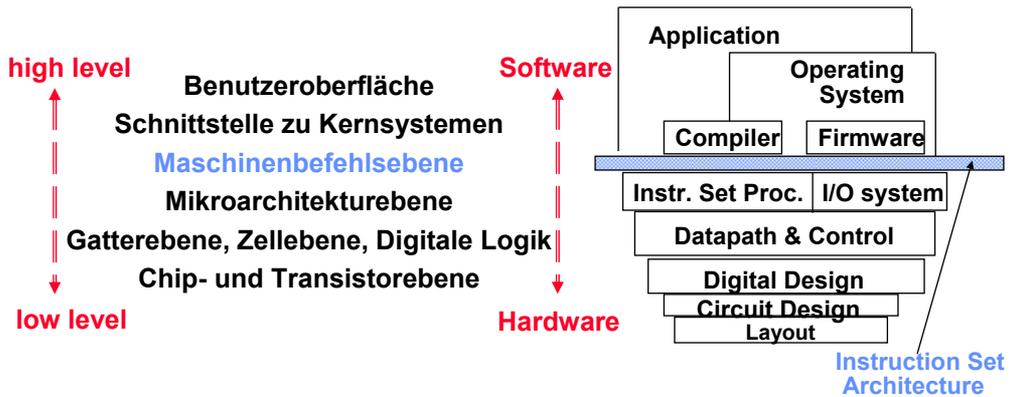
5

Gegenstand der Vorlesung



6

Rechner als Hierarchie von Abstraktionsebenen



Jede Ebene wird charakterisiert durch die jeweils sichtbaren Konzepte:

- **struktureller Aufbau:** Bausteine und Verbindungsstruktur
 - » statische Aspekte
- **Funktionalität:** Abläufe
 - » dynamische Aspekte
- **Schnittstelle** zu tieferer Abstraktionsebene

Erleichterung des Entwurfs
und der Analyse

7

Chip- und Transistorebene:

IC's (integrated circuits) als Bausteine, Festlegung von Chip-Layouts, für korrekte Funktionsweise erforderliche Randbedingungen

Schaltbild aus Transistoren, Kondensatoren, Widerständen etc.

primär für den Entwurfsprozeß von IC's von Bedeutung, CA

Gatterebene:

Schaltnetz aus Gattern (technische Realisierung logischer Grundfunktionen) und vordefinierten Schaltnetzen wie Flipflops, Zähler, Dekodierer, Multiplexer etc.

Mikroarchitektur:

Funktionalität in Form von Mikrooperationen, die korrekte Ansteuerung von Chips garantieren,

Maschinenbefehle werden durch Mikroprogramme oder direkt in Hardware realisiert.

Maschinenbefehlsebene:

Funktionalität des Rechners durch Maschinenbefehlssatz definiert,

klassische Sicht der Rechnerarchitektur --> Familienkonzept

Schnittstellen zu Kernsystemen: Betriebssystem, Datenbanken, Netz. ...

8

Anfänge der Rechnerentwicklung



- Charles Babbage (1792-1871)
 - Difference Engine (1823-1842, Projektabbruch)
 - **Analytical Engine** (Entwurf 1834, Prototyp 1880)



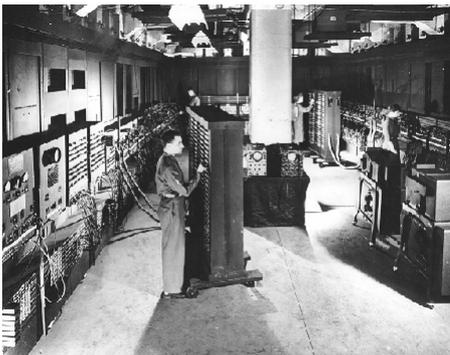
- Konrad Zuse:
 - Spezialrechner Z1, Z2 um 1936
 - **Universalrechner Z3, 1941:**
Binäre Gleitkommaarithmetik,
Speicher mit 64 Worten,
Lochstreifenprogramme



9

Anfänge der Rechnerentwicklung

- Aiken, Durfee, Hamilton, Lake (Harvard University, IBM (Konstruktionsabkommen)):
 - **Havard Mark 1 (1937-1944):** dezimale Festkommaarithmetik, Speicher mit 72 Worten, Programme auf Lochpapierband, bedingte Sprünge



- J.P. Eckert, J.W. Mauchly (Moore School of Engineering, Univ. of Pennsylvania):
 - **ENIAC = Electronic Numeric Integrator And Calculator (1943 - 1946):**
erster funktionsfähiger voll **elektronischer Universalrechner**, exemplarisch für die erste Rechnergeneration

10

Rechnergenerationen nach Technologien

	Jahr	Prozessor-technologie	Speicher-technologie	Leistung	Programmiersprachen
1.	bis 1960	Röhren	Magnettrommel	1 KIPS	Maschinensprache
2.	bis 1970	Transistoren	Magnetkernspeicher	10 KIPS	FORTRAN COBOL
3.	seit 1965	Halbleiter SSI -- MSI	Magnetkernspeicher	500 KIPS	PASCAL DB, BS
4.	seit 1970	Halbleiter LSI, VLSI, WSI	Halbleiter	> 10 MIPS	Progr.-umgeb. verteilte Anw.
5.	seit 198?	keine neue Technologie, veränderte architektonische Merkmale Mikroprozessor Pipelining, RISC Rechnernetze	Single Chip DRAM SRAM Cache Speicherhierarchie	GFLOPS - TFLOPS	objektorientierte, funktionale und symbolische Progr.

11

Meilensteine der Rechnerarchitektur

- von Neumann-Konzept: **stored-program** computer
 - Erfindung der **Betriebssysteme**
 - **Familienkonzept**
 - Einführung der **Mikroprogrammierung**
 - **Mikroprozessoren**
 - Beseitigung der Mikroprogrammierung / **RISC**
 - **Netzwerke**
 - **Parallelverarbeitung**
 - **Eingebettete Systeme**
- 50er Jahre
60er
70er
80er
90er
-

12

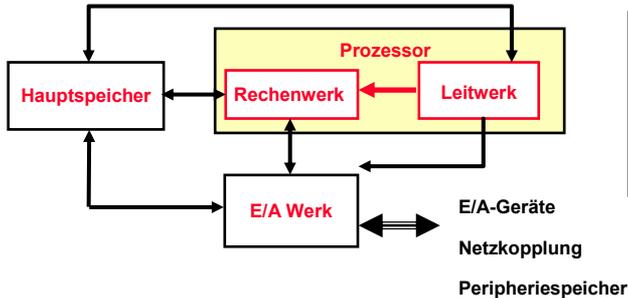
Von Neumann-Konzept

A.W. Burks, H.H. Goldstine, **John von Neumann**
(Princeton Univ.):
Preliminary Discussion of the Logical Design of an
Electronic Computing Instrument,
U.S. Army Ordnance Department Report, 1946



→ Von Neumann-Konzept (von Neumann-Computer, auch:
stored program computer)

Festlegung von Grundprinzipien der Rechnerorganisation,
die bis heute gültig sind (dazu mehr in Kapitel 1).



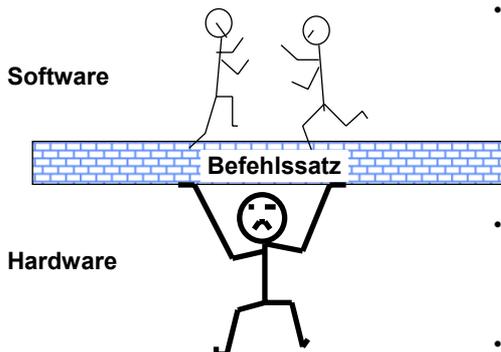
erster von-Neumann Rechner:
M. Wilkes (Cambridge Univ.)
EDSAC: Electronic Delay
Storage Automatic Calculator,
Akkumulator-basiert,
Fertigstellung: 1949

13

Familienkonzept

G.M. Amdahl, G.A. Blaauw, F.P. Brooks:
Architecture of the IBM System/360, IBM Journal of Research and
Development, 8, No.2, 87-101, April 1964

→ Einführung des **Familienkonzepts** bei Entwicklung der
IBM 360/370 Mainframe-Serie:



- Trennung von
 - Maschinenbefehlsschnittstelle
 - Implementierung: logische Struktur
 - Realisierung: physikalische Bausteine
- „Gleichbleibender“ Befehlssatz bei unterschiedlichen Organisationen und Realisierungen -> **Aufwärtskompatibilität** verschiedener Modelle einer Rechnerfamilie
- Trennung von Hardware- und Software-Entwicklung durch feste Schnittstelle

14

Intel-CPU-Familie

Chip	Datum	MHz	Transistoren	Speicher	Anmerkungen
4004	4/1971	0,108	2300	640	
8008	4/1972	0,108	3500	16 KB	8-Bit-Mikroproz.
8080	4/1974	2	6000	64 KB	
8086	6/1978	5-10	29000	1 MB	16-Bit-CPU
8088	6/1979	5-8	29000	1 MB	im IBM PC
80286	2/1982	8-12	134000	16 MB	
80386	10/1985	16-33	275000	4 GB	32-Bit-CPU
80486	4/1989	25-100	1,2 M	4 GB	8K-Cache
Pentium	3/1993	60-233	3,1 M	4 GB	zwei Pipelines
Pentium Pro	3/1995	150-200	5,5 M	4 GB	zwei Cache-Ebenen
Pentium II	5/1997	233-400	7,5 M	4 GB	MMX
Pentium 4	2/2000	1,3-2,0 GHz	42 M	4 GB	drei Cache-Ebenen

15

Mikroprogrammierung

Interne Abläufe zur Ausführung von Maschinenbefehlen werden durch Folgen von elementaren Operationen, sogenannten **Mikrooperationen**, realisiert.

- + relativ wenige Mikrobefehle genügen zur Implementierung umfangreicher Befehlssätze
- + **Kosten der Realisierung sind geringer** als feste Verdrahtung von Maschinenbefehlen
- + **größere Flexibilität** (vor allem bei mikroprogrammierbaren Rechnern)
- + **Vereinfachung der Entwicklung und Wartung von Rechnern**

- Maschinenbefehle als Mikroprogramme **zeitaufwendiger** als bei fester Verdrahtung
- i.a. mehrere ROM-Zugriffe pro Maschinenbefehl

16

Von CISC zu RISC

- **Ursache: CISC Befehlsätze zu kompliziert:**

- Compiler nutzen diese kaum aus.
Befehlsstatistiken:
5-10% der Befehle in 60-80% der Ausführungszeit
- Korrektheitsprobleme mit interner Befehlsrealisierung (Mikroprogrammierung)

RISC
steht für **R**educed
Instruction **S**et **C**omputer.

Im nachhinein - und um den Gegensatz hervorzuheben - taufte man die frühere CPU-Architektur

CISC
(**C**omplex **I**nstruction **S**et **C**omputer).

- **Startprojekte:**

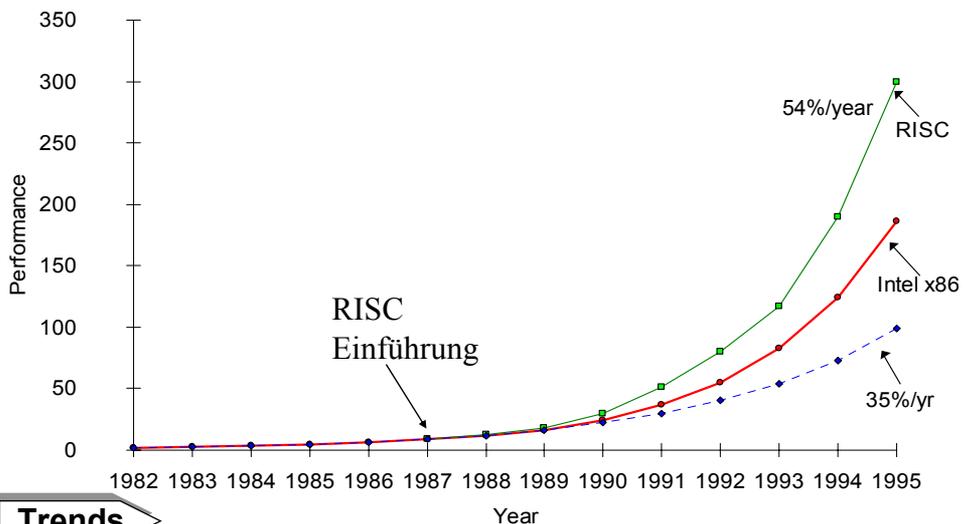
- **RISC I & II**, David Patterson et al., Univ. of Berkeley (1980-1985)
- **MIPS**, John Hennessy et al., Univ. of Stanford (1981- 1985)
-> Microprocessor without Interlocking Pipeline Stages

- **RISC Merkmale:**

- reduzierter, einfacher Instruktionssatz
- **Fließbandverarbeitung von Befehlssequenzen (Pipelining)**
 - » Eintakt-Maschinenbefehle fester Länge, wenige Formate
 - » Hardwaredekodierung
 - » "load/store"-Architektur mit großem Registersatz
 - » Cache-Speicher (schnelle Pufferspeicher für Prozessoren)

17

Prozessorleistungsentwicklung



Trends

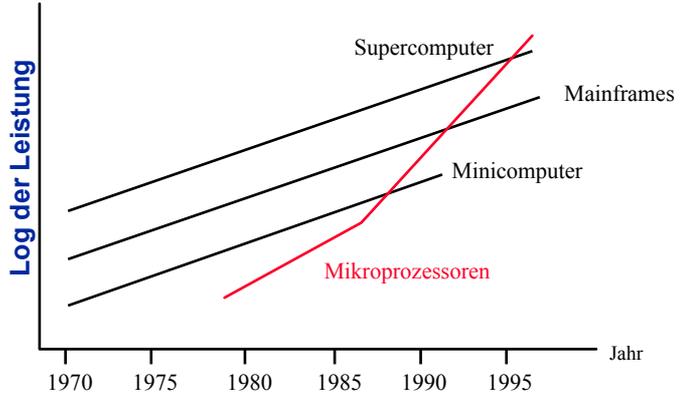
- **Leistung: ca. 50% Steigerung der Leistung (SPEC-Bewertung) pro Jahr (2x alle 18 Monate)**
- **Kosten: ca. 70 % Senkung pro Jahr**

System Performance Evaluation Cooperative

18

Leistungsentwicklung der Rechnerklassen

- **Höchstleistungsrechner**
 - Supercomputer (Vektorrechner)
 - Parallelrechner
- **Großrechner**
 - Mainframes
 - Server
- **Arbeitsplatzrechner**
 - Workstations
 - Personal Computers (PC's)

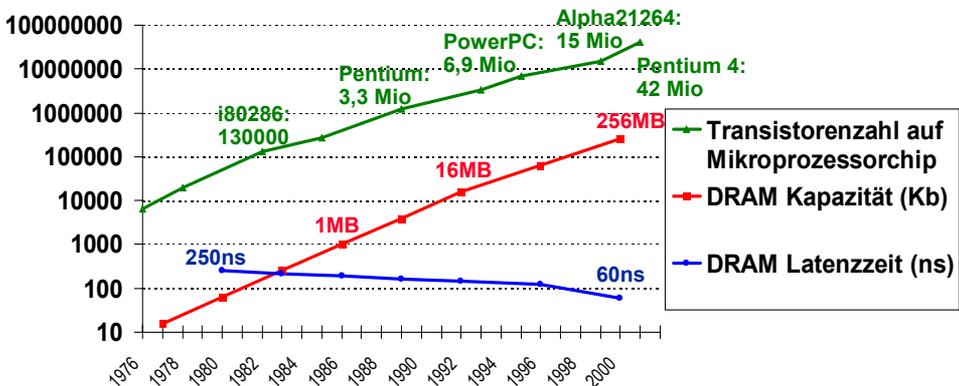


Unterschiede nicht in der Rechnerorganisation, sondern in der Größe, der Geschwindigkeit, dem Einsatzgebiet und vor allem in den Kosten

Hauptursachen für Leistungszuwachs:

- **Technologieverbesserung:**
CMOS VLSI statt TTL, ECL
- **Architektonische Verbesserungen:**
RISC statt CISC

Technologie-Entwicklung

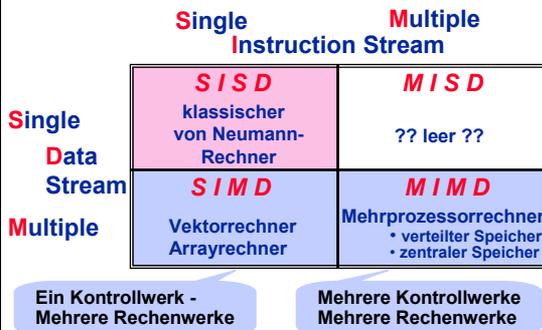


Trends

	Kapazität	Geschwindigkeit/Latenzzeit
Logik	2x in 3 Jahren	2x in 3 Jahren
DRAM	4x in 3 Jahren	2x in 10 Jahren
Disk	4x in 3 Jahren	2x in 10 Jahren

Parallelerechner

Rechnerklassifikation nach Flynn 1966:



M.J. Flynn:
Very High-Speed Computing Systems,
Proc. IEEE, Vol.54, 1966, pp.1901-1909

- SIMD Rechner:

- **Erster: ILLIAC IV (1966-1972)**, Arrayrechner mit 64 64-Bit Proz.

- **Größter: Connection Machine (1985)** 65636 1-Bit Prozessoren, D. Hillis

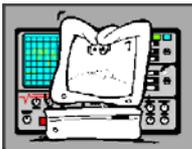
- MIMD Rechner:

- **Transputer**-basierte Parallelrechner ab ca. 1987

- Entwicklung von **MPP-Systemen** (Massively Parallel Processing)

- TOP500-Liste der Supercomputer: www.top500.org

- TOP-Eintrag (Juni 2004): Earth Simulator (Yokohama, Japan) mit 640 Knoten mit je 8 Vektorprozessoren, also insgesamt 5120 Proz., 41 TFlop/s Spitzenleistung, 10 TB Speicher



Amdahls Gesetz

G. M. Amdahl: Validity of the single processor approach to achieving large scale computing capabilities, Proc. AFIPS 1967 Spring Joint Computer Conference 30, 483-485.

