PHILIPPS-UNIVERSITÄT MARBURG
Fachbereich Mathematik und Informatik
Prof. Dr. R. Loogen

D-35032 Marburg
Hans Meerwein Straße
Lahnberge
8. Januar 2003

Übungen zur „Technischen Informatik I“, WS 2002/03

Nr. 10, Besprechung bzw. Abgabe: 15.1. bis 17.1. in den Übungsgruppen

---

A. Mündliche Aufgaben

48. Division

(a) Zeigen Sie, dass bei der ganzzahligen Division einer $2n$-Bit-Binärzahl durch eine n-Bit-Zahl ein Überlauf stattfinden kann, wenn für den Quotienten n Bits zur Verfügung stehen.

(b) Zeigen Sie: Unter der Annahme, dass kein Überlauf stattfindet, wird in der ersten Iteration des in der Vorlesung vorgestellten iterativen Verfahrens zur Division vorzeichenloser Binärzahlen immer nur das Quotientenbit 0 ermittelt.

(c) Modifizieren Sie, unter Ausnutzung von (b), das Ablaufdiagramm des Divisionsverfahrens der Vorlesung so, dass n Iterationen zur Bestimmung des Ergebnisses genügen.

(d) Optimieren Sie das iterative Divisionsverfahren der Vorlesung, indem Sie analog zur Optimierung des Multiplikationsverfahrens

- eine Konfiguration mit einem n-Bit-Addierer/Subtrahierer erstellen und
- das Akkumulatorregister sowohl für die Ermittlung des Restes als auch des Quotienten verwenden.

Geben Sie die modifizierte Konfiguration und das zugehörige Ablaufdiagramm an. Erläutern Sie die vorgenommenen Modifikationen.

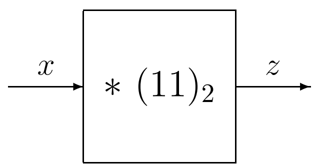
(e) Zeigen Sie, wie mit Ihrem Verfahren $(01110101)_2$ durch $(1011)_2$ dividiert wird.

B. Hausaufgaben

Die Abgabe der Hausaufgaben ist in Gruppen bis zu 3 Personen erlaubt.

49. Multiplikation mit 3 **4 Punkte**

Entwerfen Sie ein Schaltwerk, das eine beliebig lange vorzeichenlose Binärzahl N mit 3 multipliziert. Die Zahl N werde bitweise, beginnend mit der niedrigstwertigen Stelle, über eine Eingangsleitung x eingegeben. Das Ergebnis $3N$ soll ebenfalls bitweise über eine Ausgangsleitung z ausgegeben werden. Verwenden Sie RS-Flipflops und Halb- oder Volladdierer. Sie können davon ausgehen, dass Flipflops mit 0 initialisiert sind.



Nach dem **IEEE-Standard 754** werden Gleitkommazahlen wie folgt dargestellt:

- Man benutzt eine normierte wissenschaftliche Notation: der Exponent wird so gewählt, dass in der Mantisse genau eine signifikante Stelle vor dem Komma steht. Nachdem dann bei Binärzahlen in jedem Fall eine 1 vor dem Komma steht, wird diese gar nicht gespeichert.
- Bei 32-Bit Zahlen (einfache Genauigkeit, single precision) werden die Bits wie folgt interpretiert: 1 Bit Vorzeichen s / 8 Bits Exponent e / 23 Bits Mantisse m

  Bei 64-Bit Zahlen (doppelte Genauigkeit, double precision) werden die Bits wie folgt interpretiert: 1 Bit Vorzeichen s / 11 Bits Exponent e / 52 Bits Mantisse m
- Der Exponent steht vor der Mantisse, damit Größervergleiche zwischen Gleitkommazahlen nach der Standardmethode möglich sind. Für den Exponenten verwendet man eine verschobene Notation (biased notation), d.h. 00...0 repräsentiert den kleinsten Exponenten (negativ) und 11...1 den größten. Bei einfacher Genauigkeit erfolgt eine Verschiebung (bias) um 127, bei doppelter Genauigkeit um 1023.
- Insgesamt berechnet man den Wert einer Gleitkommazahl wie folgt:
  $$(-2)^s * (1 + (m)_2) * 2^{((e)_2 - bias)}$$
- Die Null wird wegen der implizit immer vorhandenen führenden Eins in der Mantisse mit der kleinsten darstellbaren Zahl 2^{-bias} identifiziert (Bitfolge 00...0).

50. IEEE-754 Gleitkommazahlen **4 Punkte**

(a) Wandeln Sie die Dezimalzahl 2,99999892918 in eine IEEE-754 Gleitkommazahl (siehe oben) mit einfacher Genauigkeit um. Welche Zahl wird dargestellt?

(b) Wie groß sind die mit einfacher bzw. doppelter Genauigkeit darstellbaren betragsgrößten und betragskleinsten Zahlen?

(c) Wie groß ist bei einfacher Genauigkeit die Differenz zwischen

  i. der größten und der zweitgrößten Zahl?

  ii. der betragszweitkleinsten und der betragsdrittkleinsten Zahl?

(d) Geben Sie eine Gleichung an, um den Exponenten bei einer Gleitkommadarstellung nach IEEE-754 mit einfacher Genauigkeit zu ermitteln. Ermitteln Sie die zur Darstellung der Zahlen 4096, π, -280493 zu wählenden Exponenten.

51. 1-Bit ALU **4 Punkte**

Entwerfen Sie eine 1-Bit-ALU mit drei Dateneingängen X, Y und C_i (carry in), drei Steuereingängen M, S_0 und S_1 und zwei Datenausgängen Z und C_o (carry out). Über die Steuereingänge M, S_1 und S_0 soll die zu berechnende Funktion gemäß unten stehender Tabelle ausgewählt werden. Für $M = 0$ soll sich die ALU im logischen Modus befinden, d.h. der Eingang C_i wird nicht berücksichtigt und $C_o = 0$. Für $M = 1$ soll sich die ALU im arithmetischen Modus befinden, d.h. C_i wird berücksichtigt und C_o berechnet.

		$M=0$	$M=1$
S_1	S_0	Z	C_oZ
0	0	X or Y	$X+Y+C_i$
0	1	X and Y	$X-Y-C_i$
1	0	X'	$X+C_i+1$
1	1	X xor Y	0